

MULTILAYER CERAMIC RC DEVICE

Patent number: WO9905786
Publication date: 1999-02-04
Inventor: GALVAGNI JOHN L; RITTER ANDREW P
Applicant: AVX CORP (US)
Classification:
- international: H03H1/02; H03H1/00; (IPC1-7): H03H1/02
- european: H03H1/02
Application number: WO1998US09816 19980514
Priority number(s): US19970898695 19970722

Also published as:

EP0998784 (A1)
US5889445 (A1)

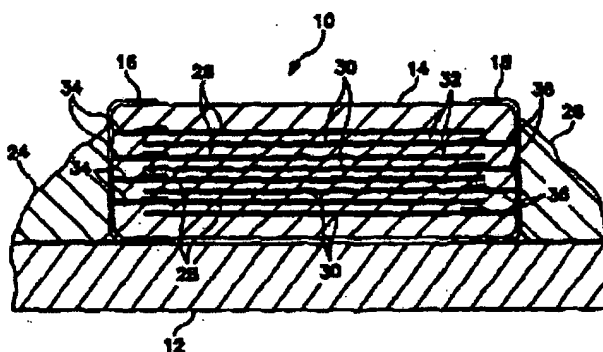
Cited documents:

JP6267789
US5495387
EP0581206
US3569872

Report a data error here

Abstract of WO9905786

Composite RC devices provide predetermined impedance properties in a package similar to multilayer ceramic capacitors of the prior art. The RC devices (10) include a plurality of first and second ceramic layers (32) interleaved to form a stack. The ceramic layers each include a suitable electrode structure (28, 30) of opposite polarity forming the equivalent of multiple two-plate capacitors. One or more resistors (34, 36) are embedded in the device body and are selectively connected to the capacitor structure. In some presently preferred embodiments, multiple parallel resistors (34, 36) are provided, such as on each electrical side of the capacitor structure.



Data supplied from the esp@cenet database - Worldwide

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H03H 1/02

(11) 공개번호 특2001-0022155
(43) 공개일자 2001년03월15일

(21) 출원번호	10-2000-7000726	(87) 국제공개번호	WO 99/05786
(22) 출원일자	2000년01월22일	(87) 국제공개일자	1999년02월04일
번역문제출일자	2000년01월22일		
(86) 국제출원번호	PCT/US 98/09816		
(86) 국제출원출원일자	1998년05월14일		
(81) 지정국	AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 우간다 가나 감비아 짐바브웨 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 키르기즈 카자흐스탄 몰도바 러시아 타지키스탄 투르크메니스탄 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드 사이프러스 OA OAPI특허 : 부르키나파소 베냉 중앙아프리카 콩고 코트디부아르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고 국내특허 : 대한민국 알바니아 아르메니아 오스트리아 오스트레일리아 아제르바이잔 보스니아-헤르체고비나 바베이도스 불가리아 브라질 벨라루스 캐나다 중국 쿠바 체코 독일 덴마크 에스토니아 스페인 핀란드 영국 그루지야 헝가리 이스라엘 아이슬란드 일본 케냐 키르기즈 북한 카자흐스탄 세인트루시아 스리랑카 라이베리아 레소토 리투아니아 룩셈부르크 라트비아 몰도바 마다가스카르 마케도니아 몽고 말라위 멕시코 노르웨이 뉴질랜드 슬로베니아 슬로바키아 타지키스탄 투르크메니스탄 터키 트리니다드토바고 우크라이나 우간다 우즈베키스탄 베트남 폴란드 포르투갈 루마니아 러시아 수단 스웨덴 싱가포르 스위스 시에라리온 유고슬라비아 짐바브웨 가나 인도네시아 감비아 기네비소		
(30) 우선권주장	8/898,695 1997년07월22일 미국(US)		
(71) 출원인	에이브이엑스 코퍼레이션 추후제출 미국 29578 사우스 캐롤라이나주 마이어를 비치 쉐튼스 애비뉴 사우스 801		
(72) 발명자	갈바그니, 존, 엘. 미국29575사우스캐롤라이나주서프사이드비치터키릿지1450비 리터, 앤드류, 피. 미국29575사우스캐롤라이나주서프사이드비치베이트리레인1474		
(74) 대리인	주성민, 위혜숙		

심사청구 : 없음

(54) 다층 세라믹 RC 디바이스

요약

복합 RC 디바이스는 종래의 다층 세라믹 커패시터와 유사하게 패키지에서 미리 결정된 임피던스 특성을 제공한다. RC 디바이스(10)는 스택을 형성하기 위해 복수의 제1 세라믹 층과 그 사이에 끼워진 제2 세라믹 층(32)을 포함한다. 각각의 세라믹 층은 동일한 다중 2-플레이트 커패시터를 형성하는 대향 극성의 적절한 전극 구조(28, 30)를 포함한다. 하나 이상의 저항기(34, 36)가 디바이스 바디에 매입되어, 커패시터 구조에 선택적으로 접속된다. 양호한 실시예에서, 다중 병렬 저항기(34, 36)가 커패시터 구조의 각각의 전기적 측면 상에서 제공된다.

대표도

도 1A

색인어

커패시터, 플레이트, 세라믹 층, 다중 병렬 저항기, 극성 단자, 회로 장치

기술분야

본 발명은 일반적으로 다층 세라믹 기술에 의해 제조된 전자 부품에 관한 것으로서, 특히 RC 특성을 갖는 다층 세라믹 디바이스에 관한 것이다.

배경기술

다층 세라믹 기술은 일반적으로 다층 세라믹 커패시터(MLCs)로서 공지된 커패시터의 생성시 사용된다. MLCs의 제조시, 복수의 세라믹 전극층이 스택에 배열된다. 스택층이 압축 소결되어, 실질적으로 균일한 커패시터 바디를 얻게 된다. 커패시터 바디는 대개 직사각형으로서, 각 측면을 따라 또는 대향 단부에 제공된 대향 극성의 전기 단자를 구비한다.

공지된 바와 같이, 그 사이에 끼워진 스택 내에서 그 밖의 모든 전극은 대향 극성 단자 중 하나에 접속된다. 따라서, 각 단자는 대체 전극 세트 각각에 공통 노드를 제공한다. 따라서, 이러한 방식으로 구성된 커패시터 디바이스는 병렬로 배열된 복수의 이산 커패시터와 같이 동작한다.

MLC 부품에 의해 제공된 정전 용량과 저항을 직렬로 접속하는 것이 종종 필요하다. 이러한 목적을 위해, 이산 저항기가 사용될 수 있으나, 현대의 전자 장치의 설계에 의한 공간적 제약에 따라 바람직하지 않을 수도 있다.

또 다른 방식으로, '온-칩' 저항기를 구비한 직렬 MLC 디바이스를 포함하는 복합 디바이스가 개발되었다. 이들 디바이스의 MLC 구조는 이산 MLC와 유사한 방식으로 제조된다. 커패시터가 제조된 후, 저항기는 커패시터 바디의 외부 표면 상에서 단자 및 이와 관련된 전극 플레이트 세트간에 전기적으로 접속되어 위치된다. 이러한 종류의 디바이스가 예를 들면, 미국 특허 제5,227,951호에 deNuf 등에 설명되어 있다.

복합 RC 디바이스가 일반적으로 의도한 목적에 영향을 미치나, 어떤 단점을 가진다.

발명의 상세한 설명

본 발명은 다양한 종래 기술 구성 및 방법의 단점을 인식한 것이다. 따라서, 본 발명의 목적은 개선된 복합 RC 디바이스를 제공하는 것이다.

본 발명의 특별한 목적은 다층 세라믹 기술에 의해 제조된 개선된 복합 RC 디바이스를 제공하는 것이다.

본 발명의 또 다른 목적은 매입된 저항기를 이용하는 다층 복합 RC 디바이스를 제공하는 것이다.

본 발명의 또 다른 목적은 평균 오차 평균을 달성하기 위해 복수의 저항기를 이용하는 다층 복합 RC 디바이스를 제공하는 것이다.

본 발명의 또 다른 목적은 커패시터 구조의 각 전기적 측면 상에 저항기를 갖는 다층 복합 RC 디바이스를 제공하는 것이다.

본 발명의 또 다른 목적은 다층 복합 RC 디바이스를 제조하는 개선된 방법을 제공하는 것이다.

몇몇의 이들 목적은, 적어도 하나의 제1 세라믹 층과 상기 제1 세라믹 층 상에 위치한 적어도 하나의 제2 세라믹 층으로 구성된 디바이스 바디를 포함하는 복합 RC 디바이스에 의해 이루어진다. 각각의 제1 세라믹 층은 제1 직렬 저항과 제1 극성 커패시터 전극으로 구성된 제1 회로 장치를 갖는다. 유사하게, 각각의 제2 세라믹 층은 제2 직렬 저항과 제2 극성 커패시터 전극으로 구성된 제2 회로 장치를 갖는다. 제1 및 제2 극성 단자는 커패시터 바디 상에 각각 제1 회로 장치와 제2 회로 장치에 전기적으로 접속되어 위치된다.

예시적인 실시예에서, 제1 회로 장치는 제1 도전성 커패시터 플레이트, 및 제1 도전성 커패시터 플레이트와 제1 극성 단자간에 전기적으로 접속된 제1 직렬 저항기를 포함한다. 제2 회로 장치는 제2 도전성 커패시터 플레이트, 및 제2 도전성 커패시터 플레이트와 제2 극성 단자간에 전기적으로 접속된 제2 직렬 저항기를 포함한다. 제1 및 제2 극성 단자가 디바이스 바디를 가로질러 서로 대향하여 위치될 수 있으므로, 제1 저항기가 제2 저항기와 함께 정렬된다.

다른 예시적인 실시예에서, 제1 회로 장치와 제2 회로 장치는 각각 제1 및 제2 단자에 전기적으로 접속되고 전극 플레이트 구성을 포함하는 저항 재료를 포함한다.

복합 RC 디바이스의 양호한 실시예는 복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성한다. 저항기가 커패시터 바디내에 위치되므로, 세라믹 층과 저항기가 제조 공정시 소성된다. 제1 및 제2 세라믹 층은 대략 860°C 이하의 소성 온도를 갖는 저온 세라믹(LTCC) 물질로부터 만들어질 수 있다.

본 발명의 다른 목적은, 복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디를 포함하는 복합 RC 디바이스에 의해 이루어질 수 있다. 각각의 제1 세라믹 층은 각각의 제1 전극을 가지고, 각각의 제2 세라믹 층은 제2 전극을 갖는다. 제1 및 제2 전극이 대향하여 다층 병렬 커패시터 구조를 구성한다.

복합 RC 디바이스는 디바이스 바디에 위치한 제1 및 제2 극성 단자를 더 포함한다. 또한, 적어도 하나의 제1 저항기가 인접한 제1 및 제2 세라믹 층 쌍간의 커패시터 바디에 매입된다. 제1 저항기는 제1 극성 단자와 적어도 하나의 제1 전극간에 전기적으로 접속된다.

예시적인 실시예에서, 복수의 제1 저항기가 제1 극성 단자와 각각의 제1 전극간에 전기적으로 접속된다. 복수의 제2 저항기가 또한 제공되어, 제2 극성 단자와 각각의 제2 전극간에 전기적으로 접속된다.

또한, 각각의 제1 전극이 이로부터 연장된 적어도 하나의 리드 구조를 더 포함하는 예시적인 실시예가 제공될 수 있다. 리드 구조가 디바이스 바디 상에 위치한 제3 단자에 전기적으로 접속된다. 이러한 실시예에서, 제2 극성 단자가 제2 전극에 직접 전기적으로 접속되는 것이 바람직하다.

다른 예시적인 실시예에서, 제1 저항기가 디바이스 바디 상에 위치한 외부 비아에 전기적으로 접속된다. 비아는 또한 적어도 하나의 제1 전극에 전기적으로 접속된다. 예를 들면, 비아는 복수의 제1 전극에 전기적으로 접속될 수 있다. 이러한 경우, 각각의 제1 전극은 비아로 연장되는 각각의 리드 구조를 포함하는 것이 바람직하다.

본 발명의 또 다른 목적은 단일 패키지에서 미리 결정된 수의 RC 회로를 갖는 어레이 디바이스에 의해 이루어질 수 있다. 어레이 디바이스는 복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디를 포함한다. 각각의 제1 세라믹 층은 미리 결정된 수의 제2 전극을 갖는다. 제1 전극이 각각의 제2 전극에 대향하여, 각각의 다층 병렬 커패시터 구조를 구성한다.

어레이 디바이스는 각각의 RC 회로에 대하여 디바이스 바디 상에 위치한 각각의 제1 및 제2 극성 단자를 더 포함한다. 적어도 하나의 제1 저항기가 또한 각각의 RC 회로에 대하여 제공되고, 인접한 제1 및 제2 세라믹 층의 쌍간의 디바이스 바디에 매입된다. 제1 저항기는 제1 극성 단자와 적어도 하나의 제1 전극간에 전기적으로 접속된다.

예시적인 실시예에서, 적어도 하나의 제1 저항기는 제1 극성 단자와 각각의 제1 전극간에 전기적으로 접속된 복수의 제1 저항기를 포함한다. 복수의 제2 저항기가 또한 제2 단자와 각각의 제2 전극간에 전기적으로 접속된 각각의 RC 회로에 대하여 제공될 수 있다. 상술된 바와 같이, 제1 및 제2 세라믹 층이 대략적으로 850°C 이하의 소성 온도를 갖는 LTCC 물질로부터 만들어질 수 있다.

본 발명의 또 다른 목적은 복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디를 포함하는 복합 RC 디바이스에 의해 이루어질 수 있다. 제1 및 제2 세라믹 층이 대략적으로 850°C 이하의 소성 온도를 갖는 LTCC 물질로 만들어진다. 각각의 제1 세라믹 층은 제1 직렬 저항과 제1 극성 커패시터 전극으로 구성된 제1 회로 장치를 갖는다. 유사하게, 각각의 제2 세라믹 층은 제1 직렬 저항과 제2 극성 커패시터 전극으로 구성된 제2 회로 장치를 갖는다. 복합 RC 디바이스는 디바이스 바디 상에서 제1 회로 장치와 제2 회로 장치 각각에 전기적으로 접속되어 위치되는 제1 및 제2 극성 단자를 더 포함한다.

예시적인 실시예에서, 제1 회로 장치는 제1 도전성 커패시터 플레이트 및 제1 도전성 커패시터 플레이트와 제1 극성 단자간에 전기적으로 접속된 제1 직렬 저항을 포함한다. 제2 회로 장치는 제2 도전성 커패시터 플레이트 및 제2 도전성 커패시터 플레이트와 제2 극성 단자간에 전기적으로 접속된 제2 직렬 저항을 포함한다. 또 다른 방식으로, 제1 및 제2 회로 장치는 각각 제1 및 제2 단자 각각에 전기적으로 접속되어 전극 플레이트 구성을 포함하는 저항 재료를 포함한다.

본 발명의 또 다른 목적은 복합 RC 디바이스를 제조하는 방법에 의해 이루어질 수 있다. 본 방법에서 각각의 제1 층은, 제1 회로 장치를 갖고 제1 전극과 제1 저항성 소자를 포함하는 복수의 제1 세라믹 재료층을 제공하는 단계를 포함한다. 다음 단계에서, 복수의 제2 세라믹 층이 또한 제공된다. 각각의 제2 층은 제2 전극을 포함하는 회로 장치를 갖는다. 제1 층 및 제2 층이 삽입된 디바이스 바디를 구성하기 위해 적층되어, 제1 및 제2 전극이 교차한다. 제1 및 제2 대향 극성 전극이 디바이스 바디 상에 제공되어, 각각 제1 및 제2 회로 장치에 전기적으로 접속된다.

예시적인 방법론에 따르면, 제2 회로 장치는 제2 저항성 소자를 더 포함한다. 또한, 디바이스 바디는 실질적인 단일 구조를 이루기 위해 일반적으로 전극에 적용하기 전에 소성된다. 대략적으로 850°C 이하의 온도에서 디바이스 바디를 소성하는 것이 양호하다.

본 발명의 다른 목적, 특징 및 양태가 개시된 성분을 결합 및 분리함으로써 다양하게 제공되고, 이하 상세히 설명된다.

도면의 간단한 설명

도 1은 본 발명에 따라 구성된 인쇄된 회로 보드 상에 위치한 복합 RC 디바이스의 투시도.

도 1A는 도 1의 선 1A-1A를 따라 절취한 단면도.

도 1B는 도 1의 선 1B-1B를 따라 절취한 단면도.

도 1C는 도 1의 복합 RC 디바이스의 회로를 도시하는 개략적인 회로도.

도 2는 제조시의 복수의 복합 RC 디바이스를 도시하는 평면도.

도 3A 및 도 3B는 우향 및 좌향으로의 다이싱 오정합의 발생시 도 1의 복합 RC 디바이스의 내부 구조를 도시하는 단면도.

도 4A 및 도 4B는 본 발명에 따라 구성된 복합 RC 디바이스의 제1 실시예를 도시하는 도 1A 및 도 1B에서와 유사한 선을 따라 절취한 단면도.

도 5는 본 발명에 따라 구성된 복합 RC 디바이스의 제2 실시예를 도시하는 투시도.

도 5A는 도 5의 선 5A-5A를 따라 절취한 단면도.

도 5B는 도 5의 선 5B-5B를 따라 절취한 단면도.

도 5C는 도 5의 선 5C-5C를 따라 절취한 단면도.

도 6은 본 발명에 따라 구성된 복합 RC 디바이스의 제3 실시예를 도시하는 투시도.

도 6A는 도 6의 선 6A-6A를 따라 절취한 단면도.

도 6B는 도 6의 선 6B-6B를 따라 절취한 단면도.

도 6C는 외부 비아가 내부 커패시터 플레이트 일부를 RC 회로 내로 접속하는 도 6과 유사한 투시도.

도 6D는 도 6의 복합 RC 디바이스의 회로를 도시하는 개략도.

도 7은 본 발명에 따라 구성된 단일 패키지에서의 RC 어레이의 투시도.

도 7A 및 도 7B는 도 7의 RC 어레이에서의 적층 형태로 삽입된 제1 및 제2 세라믹 층을 도시하는 평면도.

실시예

본 기술의 숙련자에게 자명한 최상의 모드를 포함하는 본 발명의 모든 가능한 개시가 이후 구체적으로 나머지 명세서에서 첨부된 도면을 참조하여 설명된다.

본 명세서 및 도면에서 참조 번호의 반복적인 사용은 본 발명의 동일하거나 유사한 특징 또는 성분을 나타내는 것을 의도한다.

본 설명은 예시적인 실시예를 설명하기 위한 것으로서, 본 발명의 특징을 제한하기 위한 것이 아님이 당업자에게 자명하고, 특징이 예시적인 구성에서 실시된다.

도 1은 본 발명에 따라 구성된 복합 RC 디바이스의 하나의 실시예를 도시한 것이다. 구체적으로, 인쇄된 회로 보드(12)에 장착된 복합 RC 디바이스(10)가 도시되어 있다. 디바이스(10)는 각각의 단부에 위치한 대향 극성의 단자(16, 18)를 포함한다.

단자(16, 18)가 인쇄된 회로 보드(12)의 표면 상에서 구성된 각각의 도전성 경로(20, 22)에 전기적으로 접속된다. 각 단자 및 이와 관련된 도전성 경로간의 전기적 접속이 각각의 솔더 비드(24, 26)에 영향을 미친다. 회로 보드(12)는 자온 유기 물질로부터 만들어질 수 있으며, 이 때 솔더는 파형 또는 리플로우 솔더링 기술에 의해 인가된 저온 공융 솔더이다.

RC 디바이스(10)의 치수는 이산 MLCs가 생성되는 표준 사이즈에 대응하도록 선택될 수 있다. 실제로 제조하는 경우, MLC의 크기가 일반적으로 번호 'XXYY'로서 표현되는데, 이 때 XX와 YY는 수백 인치의 폭 또는 길이를 나타낸다. 측면, 즉 단자가 인가된 폭 또는 길이가 XX이고, YY는 다른 치수를 나타낸다. 실제로 사용되는 전형적인 크기는 1206, 1210, 0805, 0603 및 1812이다. 종종 0.5:1 이하인 1:1 이하의 화면비(높이에 대한 폭 또는 길이의 비율로서 정의됨)는 일반적이지 않다.

이제 도 1A를 참조하여, 바디(14)의 내부 구조가 설명된다. 종래 기술의 MLC와 같이, 바디(14)는 대향하여 그 사이에 끼워지고 이격 관계에 있는 복수의 제1 전극 플레이트(28) 및 복수의 제2 전극 플레이트(30)를 포함한다. 전극 플레이트가 세라믹 재료층에 의해 분리되어, 미리 결정된 유전 상수를 제공한다.

MLC에서, 각각의 대향 전극 플레이트 세트가 대향 극성 단자 중 하나에 직접 접속된다. 그러나, 각각의 전극 플레이트(28)와 단자(16)간의 접속은 각각의 저항성 소자(34)를 통해 이루어진다. 이와 같이, 저항성 소자(36)는 단자(18)와 각각의 전극 플레이트(30)간에 전기적 접속을 제공한다.

도 1B는 각각의 전극 플레이트(28)와 이와 관련된 저항성 소자(34)간의 관계를 더 상세히 도시한다. 도시된 바와 같이, 전극 플레이트(28)가 세라믹 층(32) 상에 위치되어 측정되므로, 세라믹의 경계부가 모든 측면 상에 남는다. 저항성 소자(34)가 플레이트(28)의 부분 위에 위치되어 이로부터 단자(16)까지 연장된다. 각각의 플레이트(30)와 이와 관련된 저항성 소자(36)가 유사한 방식으로 배열되나 단자(18)에 접속된다는 것에 유의해야 한다.

RC 디바이스(10)의 전기 동작이 도 1C를 참조하여 가장 용이하게 설명될 수 있다. 도시된 바와 같이, 대향 전극 플레이트(28, 30)는 복수의 2-플레이트 커패시터(38)를 형성한다(이하, 커패시터 C_1 내지 C_n 로 나타냄). 저항기(34)가 각 커패시터(38)의 하나의 전기적 측면 상에 위치되고, 흡수 저항기 R_1 , R_3 , R_5 , 등은 커패시터 구조의 이러한 측면을 단자(16)에 접속한다. 저항기(36)가 커패시터(38)의 대향 전기적 측면 상에 위치되고, 단자(18)가 짝수 저항기 R_2 , R_4 , R_n 등을 통해 커패시터 구조의 이러한 측면에 전기적으로 접속된다.

이에 따른 회로가 적절 RC 장치와 같은 기능을 한다는 것에 유의해야 한다. 모든 회로의 코너 주파수는 다음 식에 의해 정의된다.

$$f = 1 / (2\pi WR_T WC_T)$$

이 때, R_T 와 C_T 는 각각 디바이스의 모든 저항과 정전 용량을 나타낸다. 이러한 병렬 특징에 따르면, 디바이스는 코너 주파수를 이론적으로 변화시키지 않으면서 소수 또는 다수의 층으로 만들어질 수 있다. 그러나, 층 개수의 변화는 R_T 및 C_T 값을 변화시켜 디바이스 임피던스의 값을 변화시키게 된다.

도 2를 참조하면, RC 디바이스(10)는 다중 층 세라믹 기법을 사용하여 제조되는 것이 바람직하다. 구체적으로, 우선 '녹색' 세라믹 테이프(40)가 전형적으로 Ag 또는 Ag/Pd 잉크를 사용하여, 플레이트(42)와

같은 복수의 전극 플레이트로 인쇄된다. 다음으로, 저항성 잉크가 대체 전극 플레이트 쌍간에 인가되어 저항기(44)와 같은 각각의 저항기를 생성한다. 다음으로, 테이프 층이 각 부가 층의 전극 플레이트가 하부 층의 플레이트에 중첩되도록 스택되어 커패시터 구조를 형성한다. 그러나, 인접 층의 저항성 잉크는 커패시터 구조의 전기적 대향 측면 상에 위치한다. 대부분의 경우, 이것으로 인해 저항기(44)와 하부 저항기(46)간의 관계에서 보여지는 바와 같이, 인접 층의 개개의 저항기가 전극 플레이트의 대향 측면 상에 서로 번갈아 가며 정렬되는 구조를 발생시키게 된다.

상기와 같은 방식으로 스택이 형성된 후, 녹색 테이프는 압축 소결된다. 따라서, 세라믹 층 및 저항성 잉크가 함께 소성되어 실질적인 단일 구조를 생성한다. 전형적인 종래의 MLC 디바이스는 1100°C 이상의 소성 온도를 필요로 하는 고온 세라믹스를 사용하는 것이 일반적이다. 그러나, 이러한 온도가 본 발명의 저항기를 형성하는데 사용되는 바람직한 형태의 저항성 잉크에 적절한 것은 아니다. 이와 같이, 디바이스(10)는 대략적으로 850°C 이하의 소성 온도를 갖는 LTCC를 사용하는 것이 바람직하다. 적절한 LTCC 재료로는 캘리포니아주 산타바바라 소재의 Ferro Corporation 및 노스캐롤라이나주 소재의 Dupont Photopolymer & Electronic Materials of Research Triangle Park로부터 입수 가능하다.

소성 공정후, 세라믹 스택은 48 및 50에서 도시된 바와 같이 세로선과 가로선을 따라서 절단, 즉 '다이싱'하여 개별적인 디바이스 바디를 형성한다. 다음으로, 상술한 바와 같은 대향 극성 단자가 전형적으로 박막 기술로 공지된 기술을 사용하여 각 디바이스 바디의 외부에 인가된다.

RC 디바이스(10)의 각 전극 쌍에 관련된 저항은 각 전기적 측면 상에서의 저항기의 합과 같다. 그 결과, 총 저항은 전극 위치가 중앙으로부터 시프트됨에 따라서 크게 변화되지는 않는다. 이와 같이, 다이싱 공정시의 경미한 오정합은 전체 디바이스의 전기적 특성에 명백하게 영향을 미치지 않는다.

예를 들어, 도 3A는 플레이트(28' 및 30')가 이상적인 중심 위치에 대해 좌측으로 시프트된 디바이스(10')를 도시하고 있다. 그 결과, 저항기(34')의 길이가 단축되어 저항을 감소시키게 된다. 그러나, 이와 같은 저항 감소는 저항기(36')의 길이에서 대응하는 증가(따라서, 저항)에 의해 상쇄된다. 유사한 방식으로, 도 3B에 도시된 바와 같은 우측 시프트는 저항기(34')의 저항에서 증가를 발생시키고, 저항기(36')의 저항에서의 보상 감소를 일으킨다.

본 발명의 모든 실시예에서 사용되지는 않았으나, 상술된 바와 같은 다중 병렬 저항기 구조는 RC 디바이스에서 보다 일정한 저항값을 일반적으로 달성한다는 장점을 갖는다. 구체적으로, 명목상의 저항에서의 유닛 단위에서의 양호하지 않은 변화는 단일 저항기의 제조시에 자주 발생할 수 있다. 예를 들어, 저항성 잉크의 두께나 폭은 한 유닛으로부터 그 다음 유닛으로 경미하게 변화될 수 있다. 그러나, 다중 병렬 저항기 구조에서, 전체 저항은 보다 예측 가능한 평균값을 달성하는 경향이 있다.

본 발명에 대한 또 다른 실시예를 남은 도면을 참조하여 이하에서 설명한다. 본 기술 분야의 숙련된 기술자는 후술하는 실시예의 많은 특징이 RC 디바이스(10)와 동일하다는 것을 알 수 있을 것이다. 이와 같은 동일한 특징에 대해서는 상술한 바를 참조하기 바란다.

이와 같이, 도 4A 및 4B는 대향 극성 단자(52 및 54)가 위치한 디바이스 바디(50)를 구비한 대체 RC 디바이스(48)를 도시한다. 도시된 바와 같이, 복수의 제1 플레이트(56)가 단자(52)에 전기적으로 접속된다. 이 플레이트(56)에 사이에 끼워진 복수의 제2 플레이트(58)가 단자(54)에 전기적으로 접속된다.

이산형 R 및 C 소자를 대신해서, 플레이트 자체가 이번 경우에는 전적으로 저항 재료로부터 구성된다. 예를 들어, 도 4B에 도시된 바와 같이, 플레이트(56)가 단자(52)에 직접 접속된 전극 플레이트를 형성하기 위해 저항 재료를 인쇄하여 형성되는 것이 바람직하다. 이와 유사하게, 플레이트(58)는 단자(54)에 직접 접속된 전극 플레이트를 형성한다. 이와 같이 형성된 구조는 양호한 RC 특성을 갖는다. 본 기술 분야의 숙련된 기술자는 이러한 기술이 본 명세서에서의 다른 다양한 실시예에서도 적용될 수 있음을 이해할 수 있을 것이다.

또 다른 실시예가 도 5에 도시되어 있다. 구체적으로, 도 5는 대향 극성 단자(64 및 66)가 위치한 디바이스 바디(62)를 구비한 RC 디바이스(60)를 도시하고 있다. 이 경우, 디바이스 바디는 측면 단자(68 및 70) 쌍을 더 포함한다.

디바이스(60)의 내부 구조는 도 5A 및 5B를 참조하여 보다 용이하게 설명될 수 있다. 도시된 바와 같이, 제1 도전 플레이트 세트(72)가 제2 도전 플레이트 세트(74) 사이에 끼워진다. 플레이트(74)는 일반적으로 직사각형 구성으로서, 단자(64)에 전기적으로 접속된다. 플레이트(72)는 각각 일반적으로 위에 놓인(overlying) 플레이트(74)에 대향하는 직사각형 전극부를 포함한다. 또한, 플레이트(72)는 각각의 단자(68 및 70)로 측방향으로 연장되는 일체형 리드 구조쌍(76 및 78)을 포함한다.

디바이스(60)는 단자(66)에 각 플레이트(72)를 접속하는 복수의 저항기(80)를 더 포함한다. 이 경우, 짧은 도전 재료 리더(82)가 더 구비되어 단자(66)에 최종적으로 접속하게 한다.

디바이스(60)에 의해 생성된 모든 회로의 개략적인 도면이 도 5C에 도시되어 있다. 도시된 바와 같이, 플레이트(72 및 74)가 병렬로 위치한 복수의 2-플레이트 커패시터(84)를 생성한다. 저항기(80)는 각 커패시터(84)의 한 전기적 측면 상에 위치되어, 단자(66)가 R_1 , R_2 , R_n 등으로 지시된 저항기를 통해 커패시터 구조의 이 측면에 전기적으로 접속되도록 한다.

단자(68 및 70)가 단일 전기적 단자로서 작용하여, 정전 용량과 저항간의 '탭'이 양호하게 외부 회로 장치로 접속될 수 있도록 한다. 편의를 목적으로, 2개의 측면 단자(68 및 70)이 예시된 실시예에 도시되어 있으나, 본 기술 분야의 숙련된 기술자는 디바이스(60)가 단지 하나의 측면 단자를 구비할 수 있음을 이해할 수 있을 것이다.

이하에서는 도 6을 참조하는데, 본 발명의 또 다른 대체 RC 디바이스는 86으로 지시되어 있다. 디바이스(86)는 대향 극성 단자(90 및 92)이 위치한 디바이스 바디(88)를 포함한다. 디바이스 바디(88)는 그 한 측면 상에 위치한, 단자와 유사한 접속용 비아(94)를 포함한다.

도 6A 및 6B는 디바이스(86)의 내부 구조를 나타낸다. 도시된 바와 같이, 제1 도전 플레이트 세트(96)가 제2 도전 플레이트 세트(98) 사이에 끼워진다. 플레이트(98)는 일반적으로 직사각형 구성으로서, 단자(90)에 전기적으로 접속된다. 각 플레이트(96)는 일반적으로 직사각형 전극부 뿐만 아니라 비아(94)를 향해 측방향으로 연장되는 일체형 리드 구조(100)를 포함한다.

디바이스(86)는 단자(92)와 비아(94)간에 전기적으로 접속된 매입된 저항기(102)를 더 포함한다. 짧은 리더(104)가 최종적으로 단자(92)에 접속되도록 구비되며, 리더(106)는 비아(94)와 저항기(102) 사이에서 연장된다. 비아(94)가 커패시터 구조에서 2-플레이트 커패시터 전체 또는 일부에 저항기(102)를 접속시킬 수 있는 크기로 될 수 있음을 유의해야 한다. 예를 들어, 도 6C는 커패시터 플레이트의 일부에 내부 저항기를 접속하는 비아(94')를 갖는 실시예(86')를 도시하고 있다. 이와 같이, 디바이스의 정전 용량은 제조시에 다양한 이산값으로 용이하게 조절될 수 있다.

도 6D는 디바이스(86)에 의해 생성된 전체 회로를 개략적으로 도시하는 도면이다. 도시된 바와 같이, 플레이트(96 및 98)는 병렬로 위치된 복수의 2-플레이트 커패시터(108)를 생성한다. 저항기(80)(R로 지시됨)는 하나 이상의 커패시터(108)와 단자(92)간에 접속된다.

도 7은 단일 패키지에 포함된 본 발명의 RC 회로의 어레이(110)를 도시한다. 이 경우, 어레이(110)는 디바이스 바디(112) 내에 포함된 4개의 전기적으로 분리된 RC 회로 전체를 구비하도록 구성된다. 이와 같이 복수의 제1 극성 단자(114a~114d)가 바디(112)의 한 측면 상에 위치된다. 이와 유사하게, 복수의 제2 극성 단자(116a~116d)는 바디(112)의 대향 측면 상에 위치된다.

이 경우, 어레이(110)의 개별적인 RC 회로가 상술한 디바이스(10)의 RC 회로와 유사한 방식으로 구성된다. 이것은 디바이스 바디(112)를 형성하기 위해 스택된 대체 세라믹 층(118 및 120)을 도시하고 있는 도 7A 및 7B로부터 분명히 알 수 있다. 도시된 바와 같이, 세라믹 층(118)은 저항기(124a~124d)를 통해 각각의 단자(114a~114d)에 접속된 4개의 전극 플레이트(112a~112d)를 포함한다. 이와 유사하게, 세라믹 층(120)의 각각의 전극 플레이트(126a~126d)는 저항기(128a~128d)를 통해 단자(116a~116d)에 상호 접속된다. 또 다른 방식으로, 전극 플레이트는 도 4B를 참조하여 설명한 것과 같은 방식으로 저항 재료만으로 구성될 수 있다.

상술한 바에 따르면, 본 발명이 다층 세라믹 기술에 의해 제조된 개선된 복합 RC 디바이스를 제공한다는 것을 알 수 있다. 본 발명의 양호한 실시예들이 도시되고 설명되었지만, 본 발명의 사상 및 범주에서 벗어나지 않고 다양한 변형 및 수정이 본 기술 분야의 숙련된 기술자에 의해 행해질 수 있으며, 본 발명은 첨부된 청구항에 의해 보다 특정하게 설정되어야 한다. 또한, 다양한 실시예의 특징이 전체적으로 혹은 부분적으로도 교체될 수 있음을 이해하여야 한다. 또한, 본 기술 분야의 숙련된 기술자는 앞서의 설명들은 단지 예시적으로 제시된 것일 뿐 본 발명을 제한하려고 의도된 것은 아니며, 이것은 어디까지나 첨부된 청구항에 의해 한정되어야 함을 알 수 있을 것이다.

(57) 청구의 범위

청구항 1

복합 RC 디바이스에 있어서,

적어도 하나의 제1 세라믹 층과 상기 제1 세라믹 층 상에 위치한 적어도 하나의 제2 세라믹 층으로 구성된 디바이스 바디;

제1 직렬 저항과 제1 극성 커패시터 전극으로 구성된 제1 회로 장치를 갖는 상기 제1 세라믹 층;

제2 직렬 저항과 제2 극성 커패시터 전극으로 구성된 제2 회로 장치를 갖는 상기 제2 세라믹 층; 및

상기 커패시터 바디 상에서 상기 제1 회로 장치 및 상기 제2 회로 장치에 각각 전기적으로 접속되어 위치되는 제1 및 제2 극성 단자

를 포함하는 디바이스.

청구항 2

제1항에 있어서, 상기 제1 및 제2 세라믹 층이 대략적으로 850℃ 이하의 소성 온도를 갖는 LTCC 물질로 만들어지는 디바이스.

청구항 3

제1항에 있어서,

상기 제1 회로 장치가 제1 도전성 커패시터 플레이트 및 상기 제1 도전성 커패시터 플레이트와 상기 제1 극성 단자간에 전기적으로 접속된 제1 직렬 저항을 포함하고, 상기 제2 회로 장치는 제2 도전성 커패시터 플레이트 및 상기 제2 도전성 커패시터 플레이트와 상기 제2 극성 단자간에 전기적으로 접속된 제2 직렬 저항을 포함하는 디바이스.

청구항 4

제3항에 있어서, 복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하는 디바이스.

청구항 5

제4항에 있어서, 상기 제1 및 제2 극성 단자가 상기 디바이스 바디를 사이에 두고 서로 대향하여 위치되어 있어, 상기 제1 저항기가 상기 제2 저항기와 함께 정렬되는 디바이스.

청구항 6

제1항에 있어서, 상기 제1 회로 장치와 상기 제2 회로 장치는 각각 상기 제1 및 제2 단자 각각에 전기적으로 접속되어 전극 플레이트 구성을 포함하는 저항 재료를 포함하는 디바이스.

청구항 7

제6항에 있어서, 복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하는 디바이스.

청구항 8

복합 RC 디바이스에 있어서,

복수의 제2 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디;

제1 전극을 각각 갖는 상기 제1 세라믹 층 및 제2 전극을 각각 갖는 상기 제2 세라믹 층-상기 제1 전극과 상기 제2 전극이 서로 대향하여 다층 병렬 커패시터 구조를 구성함-;

상기 디바이스 바디 상에 위치한 제1 및 제2 극성 단자; 및

인접한 제1 및 제2 세라믹 층 쌍간의 상기 커패시터 바디에 매입된 적어도 하나의 저항기-상기 적어도 하나의 저항기는 상기 제1 극성 단자와 적어도 하나의 상기 제1 전극간에 전기적으로 접속됨-

를 포함하는 디바이스.

청구항 9

제8항에 있어서, 상기 적어도 하나의 저항기가 상기 제1 극성 단자와 각각의 상기 제1 전극간에 전기적으로 접속된 복수의 제1 저항기를 포함하는 디바이스.

청구항 10

제9항에 있어서, 상기 제2 극성 단자와 각각의 상기 제2 전극간에 전기적으로 접속된 복수의 제2 저항기를 더 포함하는 디바이스.

청구항 11

제9항에 있어서, 각각의 상기 제1 전극은 이로부터 연장되고 상기 디바이스 바디 상의 제3 단자에 전기적으로 접속되는 적어도 하나의 리드 구조를 더 포함하는 디바이스.

청구항 12

제11항에 있어서, 상기 제2 극성 단자가 직접 상기 제2 전극에 전기적으로 접속되는 디바이스.

청구항 13

제8항에 있어서, 상기 적어도 하나의 제1 저항기가 상기 디바이스 바디 상에 위치한 접속용 비아에 전기적으로 접속되고, 상기 접속용 비아가 또한 상기 적어도 하나의 제1 전극에 전기적으로 접속되는 디바이스.

청구항 14

제13항에 있어서, 상기 접속용 비아가 복수의 상기 제1 전극에 전기적으로 접속되는 디바이스.

청구항 15

제14항에 있어서, 상기 각각의 제1 전극이 상기 접속용 비아로 연장되는 각각의 리드 구조를 포함하는 디바이스.

청구항 16

제8항에 있어서, 상기 제1 및 제2 세라믹 층이 대략적으로 850℃ 이하의 소성 온도를 갖는 LTCC 물질로 만들어지는 디바이스.

청구항 17

단일 패키지에 미리 결정된 수의 RC 회로를 갖는 어레이 디바이스에 있어서,

복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디;

상기 미리 결정된 수의 제1 전극을 갖는 각각의 상기 제1 세라믹 층 및 상기 미리 결정된 수의 제2 전극을 갖는 각각의 상기 제2 세라믹 층-상기 제1 전극이 각각의 상기 제2 전극에 대향하여 각각의 다층 병렬 커패시터 구조를 구성함-;

각각의 상기 RC 회로에 대한 각각의 제1 극성 단자 및 각각의 제2 극성 단자-상기 제1 극성 단자와 상기 제2 극성 단자가 상기 디바이스 바디 상에 위치됨-; 및

각각의 상기 RC 회로에 대한 적어도 하나의 제1 저항기-상기 적어도 하나의 제1 저항기가 인접한 제1 및 제2 세라믹 층 쌍간의 상기 디바이스 바디에 매입되고, 상기 제1 저항기는 상기 제2 극성 단자와 적어도

하나의 상기 제1 전극간에 전기적으로 접속됨-

를 포함하는 디바이스.

청구항 18

제17항에 있어서, 상기 적어도 하나의 제1 저항기가 상기 제1 극성 단자와 각각의 상기 제2 전극간에 전기적으로 접속된 복수의 제1 저항기를 포함하는 디바이스.

청구항 19

제18항에 있어서, 각각의 RC 회로에 대하여 상기 제2 단자와 각각의 상기 제2 전극간에 전기적으로 접속되는 복수의 제2 저항기를 더 포함하는 디바이스.

청구항 20

제19항에 있어서, 상기 제1 및 제2 세라믹 층이 대략적으로 850℃ 이하의 소성 온도를 갖는 LTCC 물질로 만들어지는 디바이스.

청구항 21

단일 패키지에서 미리 결정된 수의 RC 회로를 갖는 어레이 디바이스에 있어서,

복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디;

미리 결정된 수의 제1 저항 플레이트를 갖는 각각의 상기 제1 세라믹 층 및 미리 결정된 수의 제2 저항 플레이트를 갖는 상기 제2 세라믹 층; 및

상기 제2 저항 플레이트에 대하여 RC 특성을 나타내는 각각의 다층 구조로 구성된 상기 제1 저항 플레이트

를 포함하는 디바이스.

청구항 22

제21항에 있어서, 상기 제1 및 제2 세라믹 층이 대략적으로 850℃ 이하의 소성 온도를 갖는 LTCC 물질로 만들어지는 디바이스.

청구항 23

복합 RC 디바이스에 있어서,

복수의 제1 세라믹 층과 그 사이에 끼워진 복수의 제2 세라믹 층이 스택을 형성하도록 구성된 디바이스 바디-상기 제1 및 제2 세라믹 층은 대략적으로 850℃ 이하의 소성 온도를 갖는 LTCC 물질로 만들어짐-;

제1 직렬 저항과 제1 극성 커패시터 전극으로 구성된 제1 회로 장치를 갖는 상기 제1 세라믹 층;

제2 직렬 저항과 제2 극성 커패시터 전극으로 구성된 제2 회로 장치를 갖는 상기 제2 세라믹 층; 및

상기 디바이스 바디 상에서 상기 제1 회로 장치와 상기 제2 회로 장치에 각각 전기적으로 접속되어 위치되는 제1 및 제2 극성 단자

를 포함하는 디바이스.

청구항 24

제23항에 있어서, 상기 제1 회로 장치가 제1 도전성 커패시터 플레이트 및 상기 제1 도전성 커패시터 플레이트와 상기 제2 극성 단자간에 전기적으로 접속된 제1 직렬 저항을 포함하고, 상기 제2 회로 장치는 제2 도전성 커패시터 플레이트 및 상기 제2 도전성 커패시터 플레이트와 상기 제2 극성 단자간에 전기적으로 접속된 제2 직렬 저항을 포함하는 디바이스.

청구항 25

제23항에 있어서, 상기 제1 회로 장치와 상기 제2 회로 장치가 각각 상기 제1 및 제2 단자 각각에 전기적으로 접속되어 전극 플레이트 구성을 포함하는 저항 재료를 포함하는 디바이스.

청구항 26

복합 RC 디바이스의 제조 방법에 있어서,

(a)복수의 제1 세라믹 층을 제공하는 단계-상기 각각의 제1 층은 제1 전극과 제1 저항성 소자로 구성된 제1 회로 장치를 가짐-;

(b)복수의 제2 세라믹 층을 제공하는 단계-각각의 상기 제2 층은 제2 전극으로 구성된 제2 회로 장치를 가짐-;

(c)상기 제1 층과 상기 제2 층을 적층하여, 상기 제1 전극 및 상기 제2 전극이 교차함으로써 사이에 끼워진 디바이스 바디를 구성하는 단계; 및

(d)상기 디바이스 바디 상의 제1 및 제2 대향 극성 전극을 제공하여 상기 제1 회로 장치와 상기 제2 회로 장치에 각각 전기적으로 접속되는 단계

를 포함하는 방법.

청구항 27

제26항에 있어서, 상기 제2 회로 장치가 제2 저항성 소자를 더 구성하는 방법.

청구항 28

제26항에 있어서, 실질적인 단일 구조를 이루기 위해 상기 전극을 어플리케이션하기 전에 선택된 온도에서 상기 디바이스 바디를 소성하는 단계를 더 포함하는 방법.

청구항 29

제28항에 있어서, 상기 선택된 온도가 대략적으로 850℃ 이하인 방법.

청구항 30

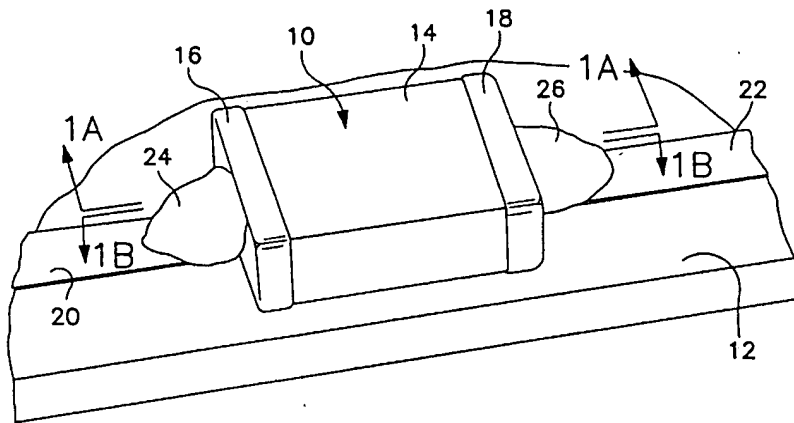
제26항에 있어서, 상기 제1 전극 및 상기 제2 저항성 소자가 이산 회로 소자인 방법.

청구항 31

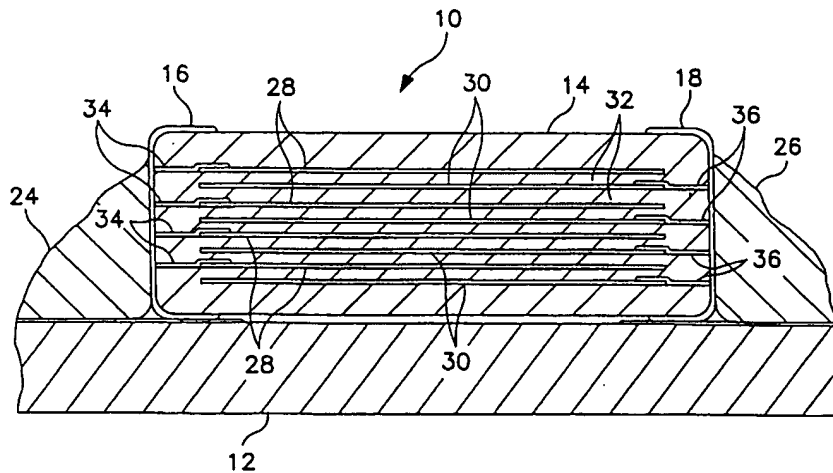
제26항에 있어서, 상기 제1 전극 및 상기 제2 저항성 소자가 단일 회로 소자에 의해 형성되는 방법.

도면

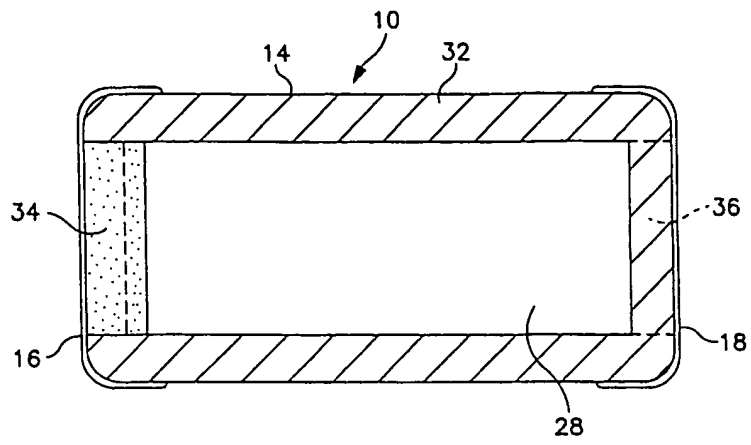
도면1



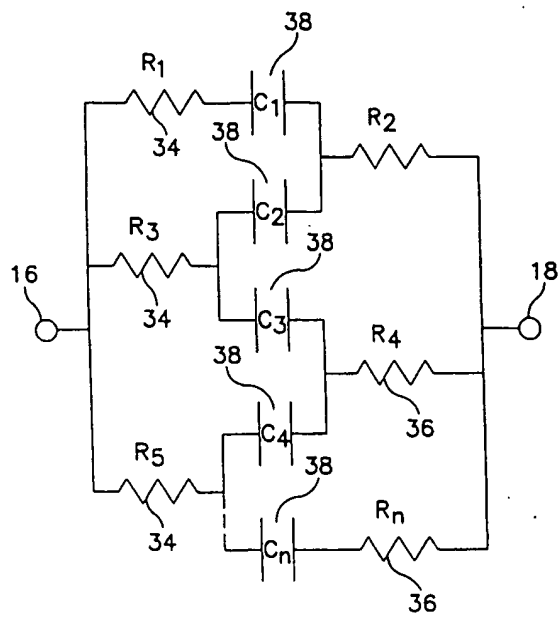
도면1A



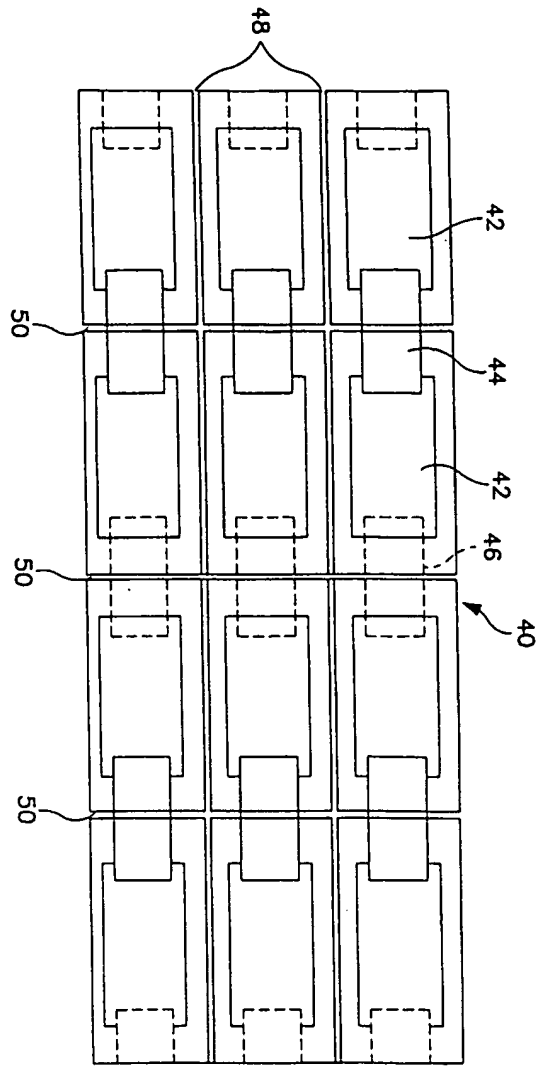
도면 1B



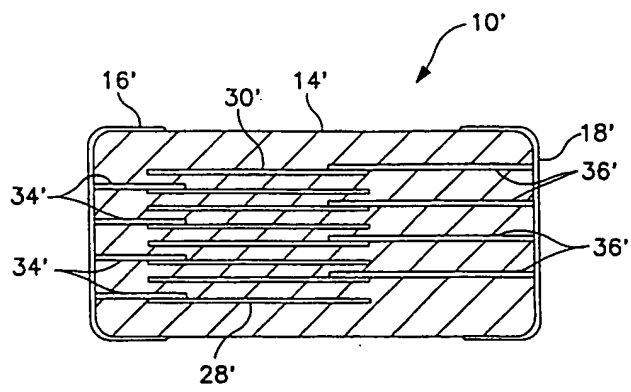
도면 1C



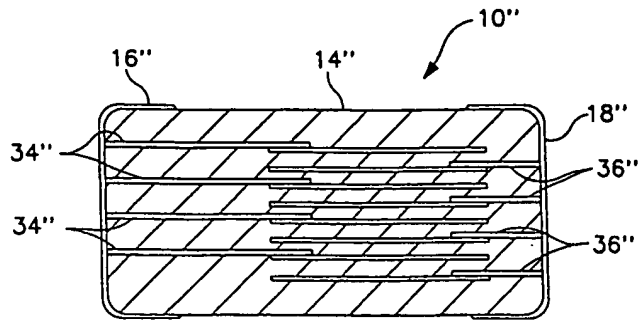
도면2



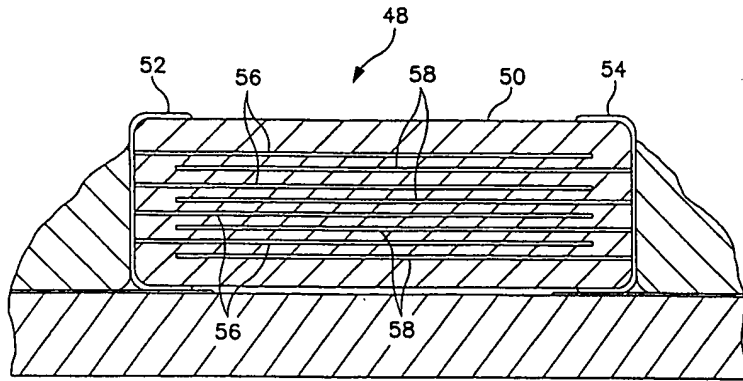
도면3A



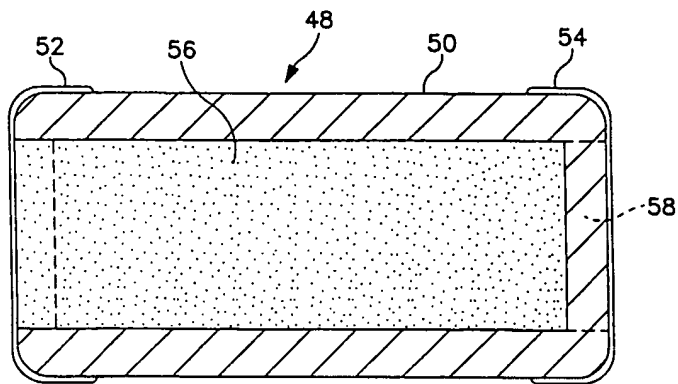
도면38



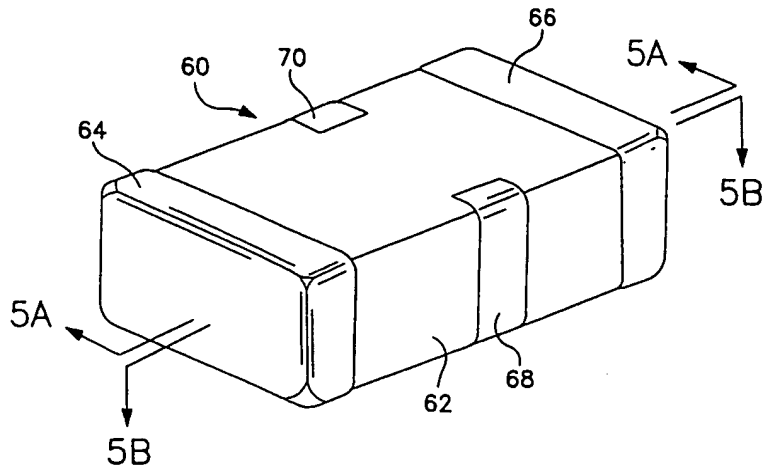
도면4A



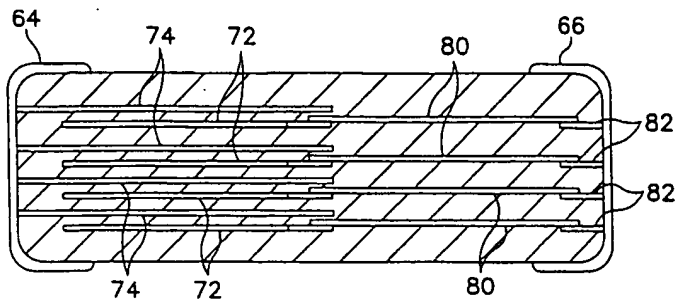
도면4B



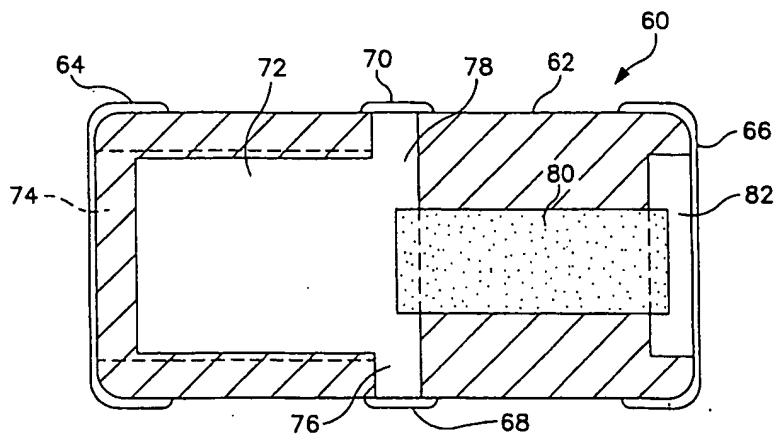
도면5



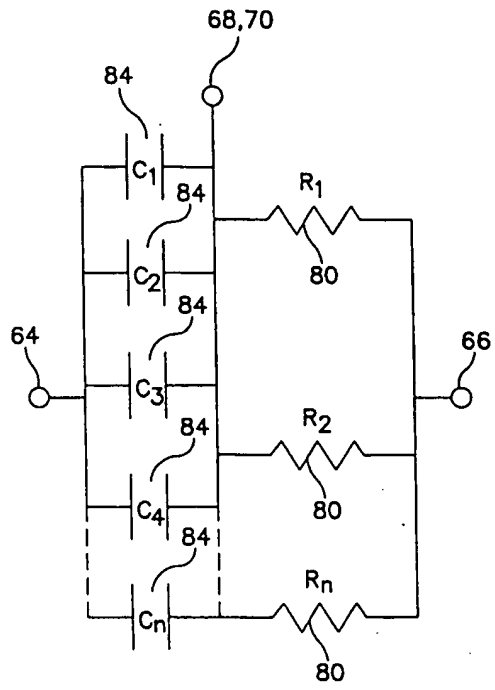
도면5A



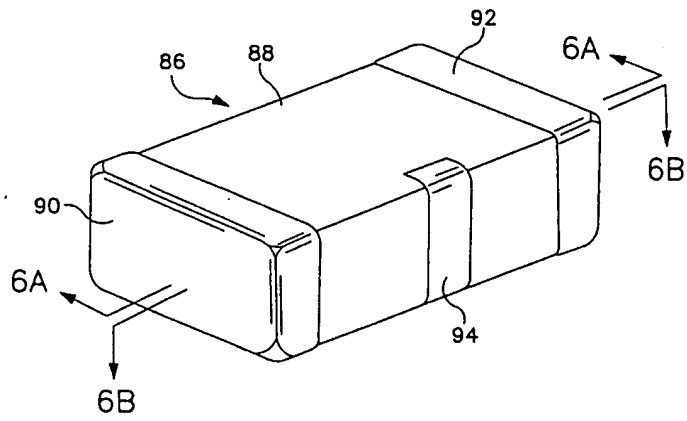
도면5B



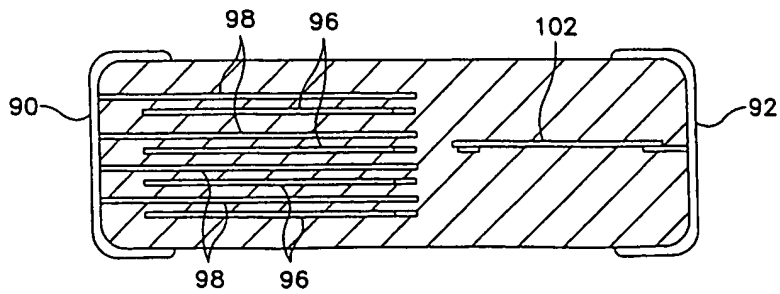
도면5C



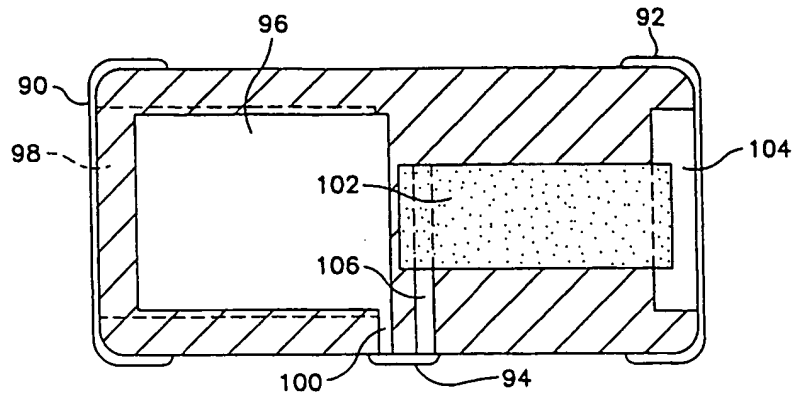
도면6



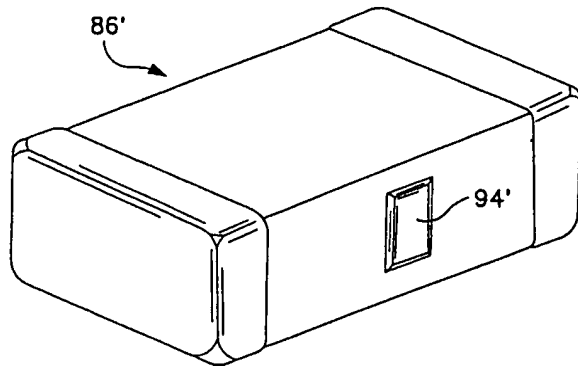
도면6A



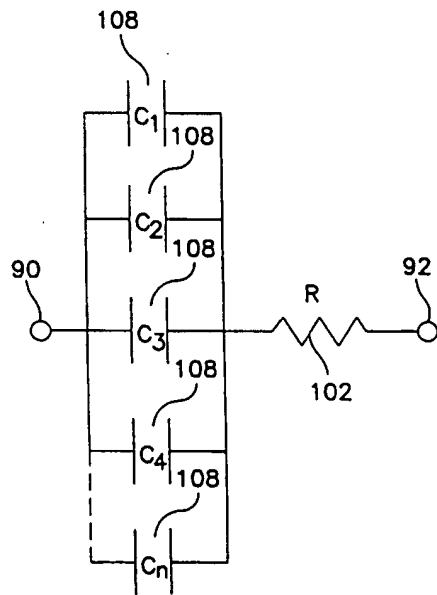
도면68



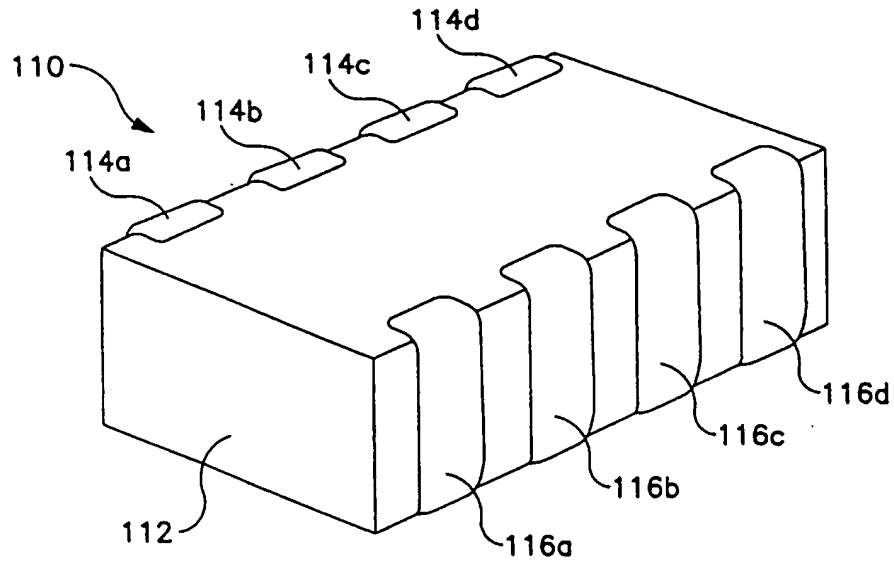
도면6C



도면6D



도면7



도면7A

